

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] This invention relates to the manufacture approach of a thin film transistor, especially the manufacture approach of a thin film transistor of having used the silicon thin film.

[0002]

[Description of the Prior Art] The thin film transistor (TFT) using a polycrystalline silicon thin film and the thin film transistor formed in the polycrystalline silicon excellent in especially the homogeneity of membraneous quality are used as load components, such as SRAM (static random access memory) of a high resistance-load mold, in order to fully secure a margin of operation, dependability, standby current, etc.

[0003] polycrystalline silicon -- for example, the usual chemical vapor growth (CVD) -- although it can form by law -- especially -- crystal grain -- comparatively -- size -- when it is going to form the polycrystalline silicon film, it is difficult to form the film which is excellent in the homogeneity of membraneous quality, and has high carrier mobility by low leak. On the other hand, after pouring ion into a random solid phase grown method or low concentration, ion is alternatively poured into high concentration through a resist mask, a crystal growth nucleus is generated, and the alternative growth approach of performing low-temperature solid phase growth after this etc. is proposed. Diameter[of a large drop]-izing of polycrystalline silicon is possible for such a solid phase crystal growth-ized (SPC: Solid Phase Crystallization) technique, for this reason, quantity mobility-ization of it is attained, and the application-study prototype to the high resistance-load mold SRAM of a TFT laminating configuration which was mentioned above etc. prospers.

[0004]

[Problem(s) to be Solved by the Invention] However, since it is difficult to grow up a crystal alternatively when based on an above-mentioned random solid phase grown method, there is a possibility that the channel of a transistor may start the grain boundary, leakage current and threshold voltage are made to produce dispersion in this case, and there is a possibility of causing the fall of the dependability of a transistor. Moreover, when based on the above-mentioned alternative growth approach, there is a possibility of producing the surface contamination by resist covering, ununiformity-ization of the membraneous quality by the heterogeneity of a low concentration ion-implantation field, etc.

[0005] On the other hand, these people proposed the approach of irradiating excimer laser light at an amorphous semiconductor layer, and generating a crystal growth nucleus in Japanese-Patent-Application-No. 3-No. 285702 application previously. The formation approach of a single crystal field with an example of this approach is explained with reference to process drawing of drawing 5 A-D. in this case, the substrate 1 top which consists of silicon etc. as shown in drawing 5 A -- SiO₂ etc. -- after forming an insulating layer 2, the amorphous semiconductor layer 3 which consists of an amorphous silicon etc. is formed by a plasma-CVD method etc. on this insulating layer 2.

[0006] And as shown in drawing 5 B, SiO two-layer 4a and Si layer 4b form the mask layer 4 by which

the laminating was carried out, and form in the top face of this amorphous semiconductor layer 3 4h of puncturing of the depth which reaches the position of this mask layer 4 at the amorphous semiconductor layer 3 by application of a photolithography etc.

[0007] And as shown in drawing 5 C below, excimer laser is irradiated as an arrow head E shows through 4h of this puncturing, and this amorphous semiconductor layer 3 is made to generate the crystal growth nucleus 5. By performing low-temperature solid phase annealing treatment after that, a crystal is grown up from the crystal growth nucleus 5, and as shown in drawing 5 D, the single crystal field 14 is formed. 6 shows a grain boundary.

[0008] When based on this approach, the single crystal field excellent in quality can be grown up alternatively, for example, the grain boundary is not formed in the channel layer of a transistor, but leakage current is reduced sharply, mobility can become high, dispersion in threshold voltage can be decreased, and improvement in the dependability of a transistor can be aimed at.

[0009] On the other hand, in order to achieve monolithic-ization in a liquid crystal display (LCD), a line sensor, etc., the thin film transistor which consists of the polycrystalline silicon of high mobility is used. The horizontal and the vertical-scanning circuit are built in these equipments, and in order to carry out high-speed migration of the carrier especially in the scanning circuit, while shortening uniformly channel length of the thin film transistor of the scan section, the configuration which makes especially the channel width size comparatively with about 20 micrometers is taken.

[0010] Although it is possible to make particle size of a channel field into size in order to achieve high performance-ization of a thin film transistor As mentioned above, when channel width is about 20 micrometers, it is difficult to consider as a single crystal field over the channel field whole region.

[when a grain boundary occurs in the part as shown in drawing 6 , there is a possibility that a grain boundary may be generated, in the direction which meets in the extended direction of a channel field, i.e., the direction which crosses the migration direction of a carrier, in a certain case and it is based on the above-mentioned single crystal field formation approach] It is difficult to control generating of sufficiently such a grain boundary and to obtain high carrier mobility certainly.

[0011] This invention controls generating of the grain boundary of the direction which crosses the migration direction of the carrier enough also in the thin film transistor which such channel width becomes size comparatively, the membraneous quality in a barrier layer is equalized more certainly, dispersion, such as the mobility μ of a transistor, is suppressed, and it aims at achieving high performance-ization of a thin film transistor.

[0012]

[Means for Solving the Problem] As shown in drawing 1 A-C, after this invention forms the amorphous semiconductor layer 3 for the 1 production-process Fig. of the example at least on a substrate 1, A radiant ray is irradiated. the line extended in the migration direction of a carrier, and the perpendicular direction to the field in which the active region of the amorphous semiconductor layer 3 is formed, as an arrow head L shows drawing 1 B to a pattern As a broken line A shows, after forming a crystal growth nucleus in drawing 1 C at a line, solid phase crystal growth is carried out with low-temperature heating, and the single crystal field 14 is formed.

[0013] moreover, the line extended in the migration direction of a carrier, and the perpendicular direction to the field in which the source field or drain field of this amorphous semiconductor layer 3 is formed after this invention forms the amorphous semiconductor layer 3 at least on a substrate 1 -- a radiant ray is irradiated at a pattern, as a broken line A shows, after forming a linear crystalline nucleus, solid phase crystal growth is carried out with low-temperature heating, and the single crystal field 14 is formed.

[0014]

[Function] It irradiates as a pattern. the line which extends a radiant ray, i.e., a laser beam, an electron ray, or an ion beam in an active region along the direction perpendicular to the migration direction, i.e., channel width direction, of a carrier according to this invention as mentioned above -- After forming the linear crystal growth nucleus extended in this channel width direction, it is what carries out solid phase crystal growth and forms a single crystal field. In this case, a single crystal field grows in the direction

which meets in a longitudinal direction, i.e., the migration direction of a carrier, it does not generate in the direction which crosses the migration direction of this carrier, but grain boundaries, such as crystal transition, can form an active region with good and uniform membraneous quality also in the thin film transistor by which channel width is made size.

[0015] A pattern is irradiated. moreover, the line which extends [to the source or a drain field] a radiant ray along the channel width direction in this invention similarly in the migration direction of a carrier, and a perpendicular direction, i.e., this case, -- By forming and carrying out solid phase crystal growth of the crystal growth nucleus to the line which meets in this direction, it can form with good and uniform membraneous quality, without generating a grain boundary in the direction which crosses the migration direction of a carrier in an active region similarly.

[0016] Therefore, since according to these this inventions it can form with good and uniform membraneous quality as channel width mentioned the active region above also in the thin film transistor comparatively made into size, carrier mobility μ is made with size, and it is the high mutual conductance g_m . When it is obtained and applies this invention in manufacture of the thin film transistor especially in scanning circuits, such as LCD, MONOSHI rucksack-ization of high resolution is attained considering clock frequency as a size.

[0017]

[Example] Each example of this invention example is explained to a detail with reference to a drawing below. The case where irradiate excimer laser in this case as a radiant ray, generate a crystal growth nucleus after forming an amorphous silicon thin film, and give low-temperature solid phase annealing after that, and a silicon thin film is formed by the case where the formation approach of a silicon thin film of having proposed each example in the above-mentioned Japanese-Patent-Application-No. 3-No. 285702 application is applied is shown.

[0018] it is first shown in drawing 1 A -- as -- for example, LPCVD (low-pressure chemical vapor growth) -- the top face of the substrate 1 which consists of Si by law -- SiO_2 etc. -- the insulating layer 2 which changes is formed. then, SiH_4 or (mono silane) Si_2H_6 (disilane) -- as reactant gas -- using -- LPCVD -- the amorphous semiconductor layer 3 which changes from amorphous silicon to the top face of an insulating layer 2 is formed in thickness of 40nm by law or the plasma-CVD method.

[0019] Moreover, it is Si^+ to the polycrystalline silicon layer which formed the polycrystalline silicon layer in the top face of a substrate 1, and was formed after that with the CVD method at this time. An ion implantation may be carried out, this polycrystalline silicon layer may be made amorphous, and the amorphous semiconductor layer 3 may be formed. or the top face of a substrate 1 -- SiO_2 etc. -- the amorphous semiconductor layer 3 which changes from amorphous silicon to the substrate 1 which changes with quartz glass etc. with a CVD method like an above-mentioned process can also be formed, without forming the insulating layer 2 which changes.

[0020] The mask layer 4 with a thickness of about 500nm which consists of silicon oxide (SiO_2) layer 4a and (Silicon Si) layer 4b with a thickness of about 100nm is formed in the top face of the amorphous semiconductor layer 3 by after that, for example, a CVD method. In this case, by irradiating excimer laser light, silicon oxide layer 4a selects that thickness so that the heat of the excimer laser by which thermal conversion was carried out by silicon layer 4b on this can fully be missed by this silicon layer 4a. Moreover, silicon layer 4a is selected in the thickness which excimer laser does not penetrate. Usually, what is necessary is just about 80nm or more.

[0021] As shown in drawing 1 B, after applying a resist (not shown) to the top face of silicon layer 4b in the top face of the mask layer 4, i.e., this case, by application of a photolithography etc. Next, pattern exposure, A resist pattern is formed by development, anisotropic etching, such as RIE (reactive ion etching), is performed by making this into a mask, and 4h of puncturing of the depth which reaches the amorphous semiconductor layer 3 is prepared in the mask layer 4 which consists of silicon oxide layer 4a and silicon layer 4b. the line extended in the direction which meets in the direction perpendicular to the migration direction, i.e., channel width direction, of a carrier of the thin film transistor which forms 4h of this puncturing at the below-mentioned process -- it forms as a pattern and that width of face is set to about 0.8 micrometers or less. When this width of face is set to 0.8 micrometers or more, the field

which carries out crystal growth after low-temperature solid phase growth processing serves as polycrystalline silicon.

[0022] As an arrow head L shows drawing 1 B after that, a radiant ray, for example, excimer laser, is irradiated through 4h of puncturing of this mask layer 4 at the amorphous semiconductor layer 3. As a crystal growth nucleus shows the part by which excimer laser was irradiated with a broken line A, it generates in a line. The energy density of excimer laser to irradiate is selected so that this amorphous semiconductor layer 3 may not crystallize corresponding to the thickness of the amorphous semiconductor layer 3. For example, when the thickness of the amorphous semiconductor layer 3 is 40nm, they are 60 mJ/cm². It can carry out.

[0023] And the single crystal field 14 is formed so that it may spread on both sides of the linear crystal growth nucleus which removes with a means by which do not give the mask layer 4 to a degree and a damage is not given to the amorphous semiconductor layers 3, such as wet etching and plasma etching, for example, gives low-temperature solid phase annealing of 600-degree-C 40 hours in nitrogen-gas-atmosphere mind using an electric furnace, and is shown with a broken line A in drawing 1 C. 6 shows the grain boundary of the single crystal field 14.

[0024] and an approximate line-expanded sectional view is shown in drawing 2 after this -- as -- the upper part of the single crystal field 14 -- SiO₂ etc. -- the gate electrode 8 can be formed through the gate insulating layer 7 which changes, the source / drain fields 9s and 9d can be formed in those both sides, and the thin film transistor of a top gate mold can be obtained.

[0025] In this case, as that approximate line-expansion top view is shown in drawing 3, the gate electrode 8 is formed in right above [of the linear crystal growth nucleus shown with a broken line A], the source / drain fields 9s and 9d are formed in those both sides, and it is made in active-region 9c, i.e., a channel field, as [occur / the grain boundary which crosses the migration direction of a carrier]. By considering as such a configuration, when channel width is comparatively made into size with about 20 micrometers, carrier mobility in active-region 9c can be certainly made into size.

[0026] Moreover, in other this invention examples, as the approximate line-expansion top view of that example is shown in drawing 4, a crystal growth nucleus is formed in a source field or a drain field, and the field in which 9s of source fields is formed in this case at a line. That is, it makes as [contain / active-region 9c / in the single crystal field which carries out patterning formation of the spacing deltaL as 1-2 micrometers 1 micrometer from the crystal growth nucleus which shows the gate electrode 8 with a broken line B in this case, forms the source and the drain fields 9s and 9d in those both sides after this, and is formed in the both sides of a crystal growth nucleus by spreading / certainly].

[0027] In this case, when the crystal growth nucleus 5 is formed in 9d of drain fields, active-region 9c can be similarly made into a single crystal field.

[0028] In addition, as mentioned above, when forming a single crystal field from a linear crystal growth nucleus, there is a possibility that a minute crystal defect may remain in a crystalline-nucleus part, but since it does not generate, grain boundaries, such as crystal transition which crosses the migration direction of a carrier, can raise the mobility of a carrier enough. However, since generating of the minute defect in an active region is certainly avoidable, it is desirable to form a crystal growth nucleus in the field in which a source field is formed.

[0029] Thus, when considering as a pattern long to the formed active-region 9 c channel cross direction, can consider as the membranous quality excellent in homogeneity, and are low leakage current, the carrier mobility μ is high, therefore it is a mutual conductance gm. The thin film transistor which becomes size can be obtained. Moreover, since the grain boundary does not exist in this active region, i.e., a channel field, dispersion in leakage current or threshold voltage can be controlled.

[0030] In addition, although excimer laser was irradiated in the above-mentioned example and the crystal growth nucleus was formed In addition, the approach of pouring [approach] silicon ion into high concentration in post selection, and generating a crystal growth nucleus which poured silicon ion into low concentration, Or while being able to use various approaches, such as an approach of generating a crystal growth nucleus by the electron beam or the ion beam, when forming various thin film transistors, such as another bottom gate mold of an above-mentioned top gate mold, it cannot be

overemphasized that this invention is applicable.

[0031]

[Effect of the Invention] As mentioned above, when channel width is comparatively made into size, while according to this invention being able to form an active region with good and uniform membraneous quality and being able to obtain low leakage current and high carrier mobility, dispersion in the leakage current and threshold voltage can be controlled by the ability making a mutual conductance into size, and a reliable thin film transistor can be obtained.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the production process Fig. of this invention example.

[Drawing 2] It is the approximate line-expanded sectional view of an example of a thin film transistor.

[Drawing 3] It is the approximate line-expansion top view of an example of a thin film transistor.

[Drawing 4] It is the approximate line-expansion top view of other examples of a thin film transistor.

[Drawing 5] It is the production process Fig. of an example of the formation approach of a single crystal field.

[Drawing 6] It is the 1 production-process Fig. of an example of the formation approach of a single crystal field.

[Description of Notations]

1 Substrate

2 Insulating Layer

3 Amorphous Semiconductor Layer

4 Mask Layer

5 Crystal Growth Nucleus

6 Grain Boundary

7 Gate Insulating Layer

8 Gate Electrode

9c Active region

9s Source field

9d Drain field

14 Single Crystal Field

[Translation done.]

PAT-NO: JP406037112A
DOCUMENT-IDENTIFIER: JP 06037112 A
TITLE: MANUFACTURE OF THIN FILM TRANSISTOR
PUBN-DATE: February 10, 1994

INVENTOR-INFORMATION:
NAME
NOGUCHI, TAKASHI

ASSIGNEE-INFORMATION:
NAME COUNTRY
SONY CORP N/A

APPL-NO: JP04186653
APPL-DATE: July 14, 1992

INT-CL (IPC): H01L021/336, H01L029/784 , H01L021/20 , H01L021/268
US-CL-CURRENT: 117/8, 148/DIG.154 , 438/FOR.484

ABSTRACT:

PURPOSE: To improve the performance of a thin film transistor by sufficiently suppressing the generation of grain boundaries in the direction crossing the moving direction of carriers so that the film quality of an active layer can be surely made uniform and the fluctuation of mobility, etc., of the transistor can be suppressed even when the transistor has a relatively large channel width.

CONSTITUTION: After forming at least an amorphous semiconductor layer on a substrate 1, crystal growing nuclei are formed linearly in the area where the active area of the layer 3 is formed by irradiating a linear pattern extended in the direction perpendicular to the moving direction of carriers with radiation ray and a single-crystal area 14 18 formed by growing a solid-phase crystal from the core by low-temperature heating.

COPYRIGHT: (C)1994, JPO&Japio

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-37112

(43)公開日 平成6年(1994)2月10日

(51)IntCl ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/336				
29/784				
21/20		9171-4M		
21/268	Z	8617-4M		
		9056-4M		
			H 0 1 L 29/ 78	3 1 1 Y
			審査請求 未請求	請求項の数 2 (全 6 頁)

(21)出願番号 特願平4-186653

(22)出願日 平成4年(1992)7月14日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 野口 隆

東京都品川区北品川6丁目7番35号 ソニー株式会社内

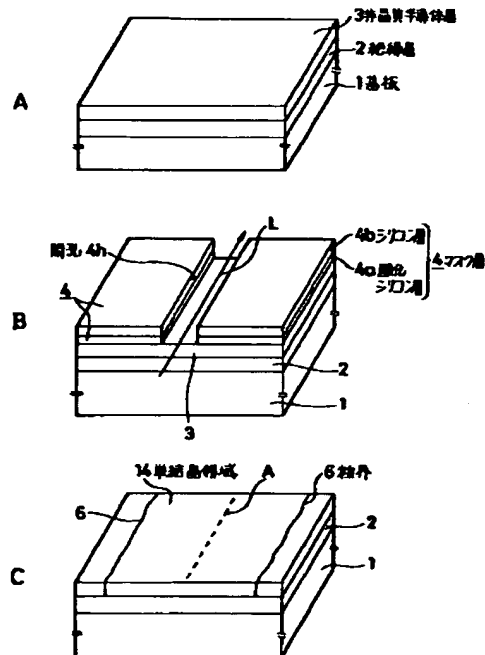
(74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】 薄膜トランジスタの製造方法

(57)【要約】

【目的】 チャネル幅の比較的大なる薄膜トランジスタにおいても、充分そのキャリアの移動方向を横切る方向の粒界の発生を抑制して、より確実に活性層内の膜質を均一化してトランジスタの移動度 μ 等のばらつきを抑えて、薄膜トランジスタの高性能化をはかる。

【構成】 基板1上に少なくとも非晶質半導体層3を形成した後、非晶質半導体層3の活性領域が形成される領域に、キャリアの移動方向と垂直な方向に延長する線状パターンに輻射線を照射して線状に結晶成長核を形成した後、低温加熱により固相結晶成長して単結晶領域14を形成する。



本発明実施例の工程図

【特許請求の範囲】

【請求項1】 基板上に少なくとも非晶質半導体層を形成した後、上記非晶質半導体層の活性領域が形成される領域に、キャリアの移動方向と垂直な方向に延長する線状パターンに輻射線を照射して線状に結晶成長核を形成した後、低温加熱により固相結晶成長して単結晶領域を形成することを特徴とする薄膜トランジスタの製造方法。

【請求項2】 基板上に少なくとも非晶質半導体層を形成した後、上記非晶質半導体層のソース領域又はドレイン領域が形成される領域に、キャリアの移動方向と垂直な方向に延長する線状パターンに輻射線を照射して結晶核を形成した後、低温加熱により固相結晶成長して単結晶領域を形成することを特徴とする薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、薄膜トランジスタの製造方法、特にシリコン薄膜を用いた薄膜トランジスタの製造方法に係わる。

【0002】

【従来の技術】多結晶シリコン薄膜を用いた薄膜トランジスタ(TFT)、特に膜質の均一性に優れた多結晶シリコンに形成した薄膜トランジスタは、動作マージン、信頼性、スタンバイ電流等を十分に確保するために、高抵抗負荷型のSRAM(スタティック・ランダム・アクセス・メモリ)等の負荷素子として用いられている。

【0003】多結晶シリコンは例えば通常の化学的気相成長(CVD)法により形成することができるが、特に結晶粒の比較的大なる多結晶シリコン膜を形成しようとする場合、膜質の均一性に優れ且つ低リークで高キャリア移動度を有する膜を形成することは難しい。これに対し、ランダム固相成長法、或いは低濃度にイオンを注入した後レジストマスクを介して選択的に高濃度にイオンを注入して結晶成長核を発生させ、その後低温固相成長を行う選択的成長方法等が提案されている。このような固相結晶成長法(SPC:Solid Phase Crystallization)技術は、多結晶シリコンの大粒径化が可能で、このため高移動度化が可能となり、上述したようなTFT積層構成の高抵抗負荷型SRAM等への応用研究試作が盛んになっている。

【0004】

【発明が解決しようとする課題】しかしながら上述のランダム固相成長法による場合は、結晶を選択的に成長させることが難しいので、トランジスタのチャネルが結晶粒界にかかる恐れがあり、この場合リーク電流やしきい電圧にばらつきを生じさせ、トランジスタの信頼性の低下を招く恐れがある。また、上述の選択的成長方法による場合はレジスト被着による表面汚染や、低濃度イオン注入領域の不均一性による膜質の不均一化等を生じる恐

れがある。

【0005】これに対し、本出願人は先に特願平3-285702号出願において、非晶質半導体層にエキシマレーザ光を照射して結晶成長核を発生する方法を提案した。この方法の一例による単結晶領域の形成方法を図5A~Dの工程図を参照して説明する。この場合、図5Aに示すように、シリコン等より成る基板1上に、 SiO_2 等の絶縁層2を形成した後この絶縁層2上にアモルファスシリコン等より成る非晶質半導体層3をプラズマCVD法等により形成する。

【0006】そして図5Bに示すように、この非晶質半導体層3の上面に、例えば SiO_2 層4a及び Si 層4bが積層されたマスク層4を形成し、このマスク層4の所定の位置に、非晶質半導体層3に達する深さの開孔4hをフォトリソグラフィ等の適用によって形成する。

【0007】そして次に図5Cに示すようにこの開孔4hを通じてエキシマレーザを矢印Eで示すように照射して、この非晶質半導体層3に結晶成長核5を発生させる。その後低温固相アニール処理を施すことによって結晶成長核5より結晶を成長させて、図5Dに示すように単結晶領域14を形成する。6は粒界を示す。

【0008】この方法による場合、品質に優れた単結晶領域を選択的に成長することができて、例えばトランジスタのチャネル層に結晶粒界が形成されず、リーク電流が大幅に低減されて移動度が高くなり、しきい電圧のばらつきを減少させて、トランジスタの信頼性の向上をはかることができる。

【0009】一方、例えば液晶ディスプレイ(LCD)、ラインセンサ等においてモノリシック化をはかるために高移動度の多結晶シリコンより成る薄膜トランジスタが用いられつつある。これらの装置には水平・垂直走査回路が内蔵されており、特にその走査回路においてキャリアを高速度移動させるために、その走査部の薄膜トランジスタのチャネル長を一定で短くすると共に、特にそのチャネル幅を $20\mu\text{m}$ 程度と比較的大とする構成が採られる。

【0010】薄膜トランジスタの高性能化をはかるためには、チャネル領域の粒径を大とすることが考えられるが、上述したようにチャネル幅が $20\mu\text{m}$ 程度の場合、チャネル領域全域にわたって単結晶領域とすることが難しく、図6に示すようにその一部に粒界が発生し、ある場合にはチャネル領域の延長方向に沿う方向、即ちキャリアの移動方向を横切る方向に粒界が生じてしまう恐れがあり、前述の単結晶領域形成方法による場合においても、充分このような粒界の発生を抑制して高キャリア移動度を確実に得ることが難しい。

【0011】本発明はこのようなチャネル幅の比較的大なる薄膜トランジスタにおいても、充分そのキャリアの移動方向を横切る方向の粒界の発生を抑制して、より確実に活性層内の膜質を均一化してトランジスタの移動度

3

μ 等のばらつきを抑えて、薄膜トランジスタの高性能化をはかることを目的とする。

【0012】

【課題を解決するための手段】本発明は、その一例の一製造工程図を図1A〜Cに示すように、基板1上に少なくとも非晶質半導体層3を形成した後、非晶質半導体層3の活性領域が形成される領域に、キャリアの移動方向と垂直な方向に延長する線状パターンに、図1Bにおいて矢印Lで示すように放射線を照射して、図1Cに破線Aで示すように線状に結晶成長核を形成した後、低温加熱により固相結晶成長して単結晶領域14を形成する。

【0013】また、本発明は、基板1上に少なくとも非晶質半導体層3を形成した後、この非晶質半導体層3のソース領域又はドレイン領域が形成される領域に、キャリアの移動方向と垂直な方向に延長する線状パターンに放射線を照射して、破線Aで示すように線状の結晶核を形成した後、低温加熱により固相結晶成長して単結晶領域14を形成する。

【0014】

【作用】上述したように本発明によれば、放射線即ちレーザービーム、電子線或いはイオンビーム等を活性領域内に、キャリアの移動方向に垂直な方向即ちチャネル幅方向に沿って延長する線状パターンとして照射して、このチャネル幅方向に延長する線状の結晶成長核を形成した後、固相結晶成長して単結晶領域を形成するものであり、この場合単結晶領域は横方向即ちキャリアの移動方向に沿う方向に成長し、結晶転移等の粒界はこのキャリアの移動方向を横切る方向には発生せず、チャネル幅が大とされる薄膜トランジスタにおいても活性領域を良好で均一な膜質をもって形成することができる。

【0015】また本発明においては、放射線をソース又はドレイン領域にキャリアの移動方向と垂直な方向即ちこの場合も同様にチャネル幅方向に沿って延長する線状パターンに照射して、この方向に沿う線状に結晶成長核を形成して固相結晶成長することによって、同様に粒界を活性領域内にキャリアの移動方向を横切る方向に発生させることなく良好で均一な膜質をもって形成することができる。

【0016】従ってこれら本発明によれば、チャネル幅が比較的大とされる薄膜トランジスタにおいても、その活性領域を上述したように良好で均一な膜質をもって形成することができることから、キャリア移動度 μ を大とできて高い相互コンダクタンス g_m が得られ、特にLCD等の走査回路における薄膜トランジスタの製造にあたって本発明を適用する場合は、動作周波数を大としてより高解像度のモノシリック化が可能となる。

【0017】

【実施例】以下本発明実施例の各例を図面を参照して詳細に説明する。各例共に、前述の特願平3-285702号出願において提案したシリコン薄膜の形成方法を適

4

用した場合で、非晶質シリコン薄膜を形成した後、放射線としてこの場合エキシマレーザを照射して結晶成長核を発生させ、その後低温固相アニールを施してシリコン薄膜を形成する場合を示す。

【0018】先ず図1Aに示すように、例えばLPCVD（低圧の化学的気相成長）法によって例えばSiより成る基板1の上面にSiO₂等より成る絶縁層2を形成する。続いてSiH₄（モノシラン）またはSi₂H₆（ジシラン）を反応ガスとして用いてLPCVD法又はプラズマCVD法等によって、絶縁層2の上面に非晶質シリコンより成る非晶質半導体層3を例えば40nmの厚さに成膜する。

【0019】またこのとき、CVD法によって基板1の上面に多結晶シリコン層を形成し、その後形成した多結晶シリコン層にSi⁺をイオン注入し、この多結晶シリコン層を非晶質化して非晶質半導体層3を形成してもよい。或いは、基板1の上面にSiO₂等より成る絶縁層2を形成せずに、石英ガラス等により成る基板1に上述の工程と同様にCVD法によって非晶質シリコンより成る非晶質半導体層3を成膜することもできる。

【0020】その後例えばCVD法によって非晶質半導体層3の上面に500nm程度の厚さの例えば酸化シリコン(SiO₂)層4aと100nm程度の厚さのシリコン(Si)層4bとより成るマスク層4を形成する。この場合酸化シリコン層4aは、エキシマレーザ光を照射することによりこの上のシリコン層4bで熱変換されたエキシマレーザの熱を、このシリコン層4aによって十分に逃がすことができるようにその厚さを選定する。またシリコン層4aは、エキシマレーザが透過しない厚さに選定する。通常80nm程度以上であれば良い。

【0021】次に図1Bに示すように、フォトリソグラフィ等の適用によって、マスク層4の上面即ちこの場合シリコン層4bの上面にレジスト（図示せず）を塗布した後パターン露光、現像によりレジストパターンを形成し、これをマスクとしてRIE（反応性イオンエッチング）等の異方性エッチングを行って、酸化シリコン層4a及びシリコン層4bより成るマスク層4に非晶質半導体層3に達する深さの開孔4hを設ける。この開孔4hは、後述の工程で形成する薄膜トランジスタのキャリアの移動方向に垂直な方向、即ちチャネル幅方向に沿う方向に延長する線状パターンとして形成し、その幅は0.8 μ m程度以下とする。この幅が0.8 μ m以上とされる場合は低温固相成長処理後に結晶成長する領域が多結晶シリコンとなる。

【0022】その後図1Bにおいて矢印Lで示すように、このマスク層4の開孔4hを通じて放射線、例えばエキシマレーザを非晶質半導体層3に照射する。エキシマレーザが照射された部分には結晶成長核が破線Aで示すように線状に発生する。照射するエキシマレーザのエネルギー密度は、非晶質半導体層3の厚さに対応してこ

5

の非晶質半導体層3が結晶化しないように選定する。例えば非晶質半導体層3の厚さが40nmの場合は例えば60mJ/cm²とすることができる。

【0023】そして次にマスク層4をウェットエッチング、プラズマエッチング等の非晶質半導体層3にダメージを与えない手段によって除去し、例えば電気炉を用いて窒素雰囲気中で600℃40時間の低温固相アニールを施して、図1Cにおいて破線Aで示す線状の結晶成長核の両側に広がるように、単結晶領域14を形成する。6は単結晶領域14の粒界を示す。

【0024】そしてこの後、図2に略線的拡大断面図を示すように、単結晶領域14の上部にSiO₂等より成るゲート絶縁層7を介してゲート電極8を形成し、その両側にソース/ドレイン領域9s及び9dを形成してトップゲート型の薄膜トランジスタを得ることができる。

【0025】この場合、図3にその略線的拡大平面図を示すように、破線Aで示す線状の結晶成長核の直上にゲート電極8を形成し、その両側にソース/ドレイン領域9s及び9dを形成して、活性領域9c即ちチャネル領域において、キャリアの移動方向を横切る粒界が発生しないようになされる。このような構成とすることによって、チャネル幅が20μm程度と比較的大とされる場合においても、確実に活性領域9cにおけるキャリア移動度を大とすることができる。

【0026】また、他の本発明実施例においては、図4にその一例の略線的拡大平面図を示すように、結晶成長核をソース領域又はドレイン領域、この場合ソース領域9sが形成される領域に線状に形成する。即ちこの場合、ゲート電極8を破線Bで示す結晶成長核から間隔ΔLを1〜2μmの例えば1μmとしてパターニング形成し、この後その両側にソース及びドレイン領域9s及び9dを形成して、結晶成長核の両側に広がって形成される単結晶領域内に活性領域9cが確実に含まれるようになる。

【0027】この場合、ドレイン領域9d内に結晶成長核5が形成される場合も同様に活性領域9cを単結晶領域とすることができる。

【0028】尚、上述したように線状の結晶成長核から単結晶領域を形成する場合、結晶核部分に微小な結晶欠陥が残る恐れがあるが、キャリアの移動方向を横切る結晶転移等の粒界は発生しないため、充分キャリアの移動度を高めることができる。しかしながら活性領域での微小欠陥の発生を確実に回避することができることから、ソース領域が形成される領域に結晶成長核を形成することが望ましい。

【0029】このようにして形成された活性領域9cチャネル幅方向に長いパターンとされる場合においても均一性に優れた膜質とすることができ、低リーク電流で且

6

つキャリア移動度μが高く従って相互コンダクタンスg_mの大なる薄膜トランジスタを得ることができる。またこの活性領域即ちチャネル領域に結晶粒界が存在しないのでリーク電流やしきい電圧のばらつきを抑制することができる。

【0030】尚、上述の例においてはエキシマレーザを照射して結晶成長核を形成したが、その他低濃度にシリコンイオンを注入した後選択的に高濃度にシリコンイオンを注入して結晶成長核を発生させる方法、又は電子ビームやイオンビームにより結晶成長核を発生させる方法等種々の方法を用いることができると共に、上述のトップゲート型の他ボトムゲート型等種々の薄膜トランジスタを形成する場合に本発明を適用することができることはいうまでもない。

【0031】

【発明の効果】上述したように本発明によれば、チャネル幅が比較的大とされる場合においても活性領域を良好で均一な膜質をもって形成することができて、低リーク電流、高キャリア移動度を得ることができると共に相互コンダクタンスを大とすることができて、またそのリーク電流、しきい電圧のばらつきを抑制して、信頼性の高い薄膜トランジスタを得ることができる。

【図面の簡単な説明】

【図1】本発明実施例の製造工程図である。

【図2】薄膜トランジスタの一例の略線的拡大断面図である。

【図3】薄膜トランジスタの一例の略線的拡大平面図である。

【図4】薄膜トランジスタの他の例の略線的拡大平面図である。

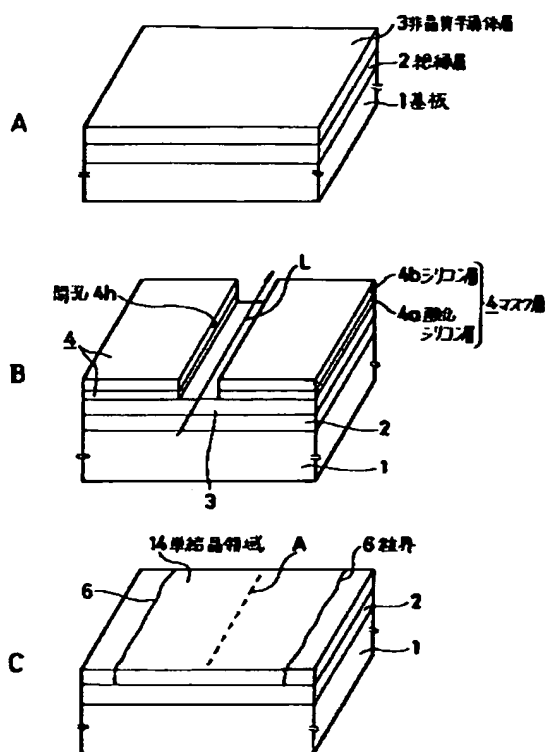
【図5】単結晶領域の形成方法の一例の製造工程図である。

【図6】単結晶領域の形成方法の一例の一製造工程図である。

【符号の説明】

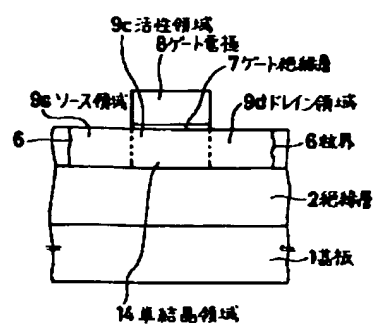
- 1 基板
- 2 絶縁層
- 3 非晶質半導体層
- 4 マスク層
- 5 結晶成長核
- 6 粒界
- 7 ゲート絶縁層
- 8 ゲート電極
- 9c 活性領域
- 9s ソース領域
- 9d ドレイン領域
- 14 単結晶領域

【図1】



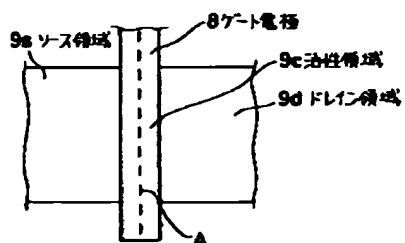
本発明実施例の工程図

【図2】



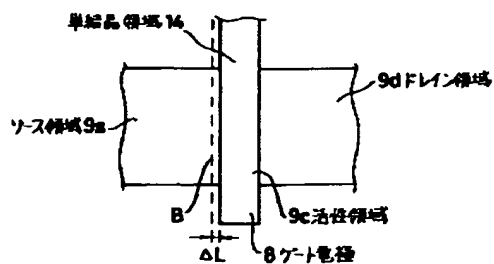
薄膜トランジスタの一例の断面図

【図3】



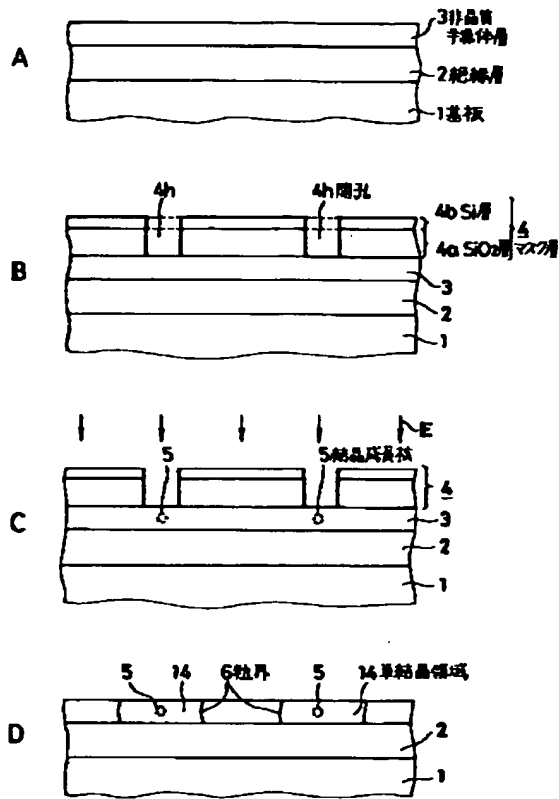
薄膜トランジスタの一例の平面図

【図4】



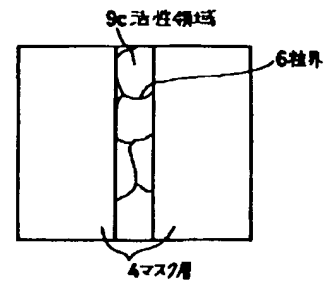
薄膜トランジスタの他の一例の平面図

【図5】



単結晶領域の形成方法の製造工程図

【図6】



単結晶領域の形成方法の一工程図